

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 T 1/20				
H 0 4 N 5/30		8420-5L	G 0 6 F 15/ 66	K

審査請求 未請求 請求項の数1 FD (全 7 頁)

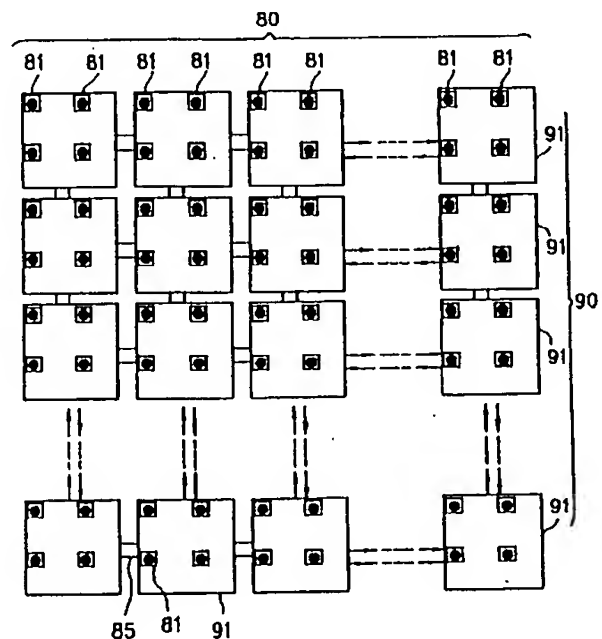
(21) 出願番号	特願平5-252412	(71) 出願人	000006655 新日本製鐵株式会社 東京都千代田区大手町2丁目6番3号
(22) 出願日	平成5年(1993)9月14日	(72) 発明者	石井 英一 東京都千代田区大手町2-6-3 新日本製鐵株式会社内
		(72) 発明者	山田 義浩 相模原市淵野辺5-10-1 新日本製鐵株式会社エレクトロニクス研究所内
		(72) 発明者	石川 正俊 埼玉県大宮市日進町1-297 大宮第二住宅2-302
		(74) 代理人	弁理士 國分 孝悦

(54) 【発明の名称】 2次元センサ装置

(57) 【要約】

【目的】 高い汎用性および高い機能が得られるとともに、たくさんのセンサを配設することが可能な2次元センサ装置を1つのLSI中に構成できるようにすることを目的とする。

【構成】 複数個のセンサ81の出力データを1個のプロセッサ91に供給し、上記1個のプロセッサ91で複数のデータ処理を行うようにすることにより、センサ81を配設する個数に対してプロセッサ91の配設個数を減らすことができるようにして、プロセッサ91を設置するのに必要な面積が少なくて済むようにし、2次元センサ装置を設計する際の設計的な自由度を向上させることができるようにする。



【特許請求の範囲】

【請求項1】 2次元的に配置された複数のセンサにより構成されたセンサアレイと、上記複数のセンサからそれぞれ出力されるデータを受け取り、これに所定のデータ処理を施すプロセッサが2次元的に配置されて構成されたプロセッサアレイとを具備する2次元センサ装置において、

上記プロセッサアレイを構成する各々のプロセッサに複数のセンサを接続するとともに、

上記複数のセンサが接続された各々のプロセッサに、他のプロセッサとの間でデータの授受を行う通信手段と、上記複数のセンサから与えられるデータや上記通信手段を介して与えられる他のプロセッサからのデータに所定の演算処理を施す演算手段とを設け、

上記複数のセンサからそれぞれ出力されるデータを並列処理方式により処理するようにしたことを特徴とする2次元センサ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、視覚情報などの2次元的情報を複数のセンサによって並列的に検出し、その検出したデータを並列的に処理するための2次元センサ装置に関するものである。

【0002】

【従来の技術】 従来、2次元的な視覚情報の処理には、視覚センサとしてのビデオカメラと画像処理装置との組み合わせが用いられていた。このような装置は、画像検査装置や視覚データを用いた制御装置などとして使用されるが、視覚情報を高速に処理するために、ビデオカメラから取り込んだデータを画像処理装置によって並列的に処理することが行われる。

【0003】 ところで、高速化を達成するためには画像処理だけでなく、その前段の視覚センサの速度も画像処理の速度と同程度に高速化することによって、装置全体としての高速化をはじめて達成できる。

【0004】 しかし、現状では視覚センサからのデータは、視覚センサからのデータの取り出しの段階で直列化され、逐次的に外部へ送出されるようになされている。このため、画像処理装置では30フレーム/秒程度の速度でしかビデオカメラから画像情報を受け取ることができず、画像処理だけを並列化して高速化を行っても、装置全体としての高速化には限界があった。同様のことは、触覚センサなどの他のセンサアレイについても当てはまる。

【0005】 一方、上記ビデオカメラのセンサアレイが視覚情報を検知した段階では、2次元データは並列に取り込まれている。そして、上記並列に取り込まれた2次元データを外部へ送出する段階で直列化して画像処理装置へ送り、画像処理装置内で並列に処理を行うようになっている。

【0006】 そこで、センサ出力とプロセッサ入力とを1対1に結合し、且つプロセッサが並列処理を行うようにすれば、プロセッサの個数に応じた高速化を図ることができる。しかし、このようにした場合はセンサとプロセッサとの結合のための配線をそのまま行くと、配線が膨大なものになってしまうという問題がある。そこで、1つのLSI上にセンサとプロセッサとを一組にして実装すれば、配線が不要で、且つ非常に高速な視覚センサ装置を構成することができる。

【0007】 このように、センサとプロセッサとを一体化し、検出機能と処理機能とを並列的に行うようにした視覚センサ装置は、過去にもいくつか開発された例があり、例えば、“C.Mead: Analog VLSI AND Neural Systems, Addison-Wesley (1989)” に報告されている。

【0008】 しかし、これらのLSIのほとんどは回路が固定されており、決められた目的に使用されるように作られている。したがって、1つのセンサの持つ機能は1通りに限られており、また個々の用途に対して別々の視覚センサ装置を開発する必要があるため、手間とコストがかかるという問題があった。

【0009】 これに対して、各プロセッサとして、プログラムによって制御される汎用プロセッサを使用するようにすれば、1つの視覚センサ装置で複数の機能を実現したり、汎用プロセッサのプログラムを書き換えることによって、異なる用途に使用したりすることができる。この結果、個々の用途に対して別々の視覚センサ装置を開発する手間が省け、高機能で低価格な視覚センサ装置を提供することが可能となる。

【0010】 しかしながら、この汎用プロセッサを通常のマイクロコンピュータのように多くのトランジスタを使用して実現すると、視覚センサ装置の汎用性や機能を向上させることができるが、このようにした場合には限られたLSIの面積に収まるセンサの数が減少し解像度が劣化する問題が生じる。

【0011】 したがって、プロセッサの汎用的な機能を維持しながら、より少ない数のトランジスタでプロセッサを実現すること必要となる。例えば、“石川：大規模並列処理機構による視覚機能の工学的実現，理研シンポジウム第12回非接触計測と画像処理，1991年10月，（p. 18左半分13行目～21行目）”では、図5に示すようなプロセッサが示されている。

【0012】 このプロセッサは、センサ1としてフォトトランジスタを備え、出力として発光ダイオード3を備えている。そして、 $64 \times 64 = 4096$ 個のプロセッサ2をマトリックス状に配置した並列演算処理システムにおいて、センサ1とプロセッサ2とを1対1に接続し、アーキテクチャを工夫することにより回路のコンパクト化を図り、1プロセッサエレメント当たり337ゲートのプロセッサエレメント回路を実現している。しかし、この回路規模ではまだ十分な集積度が得られてい

い。

【0013】

【発明が解決しようとする課題】例えば、視覚センサ装置においては、センサアレイとプロセッサアレイとを1つのLSIによって実現することより、高速、小型、軽量、低価格、低消費電力などの効果が得られる。その際、プロセッサアレイを構成する各プロセッサの回路規模を小型化すればするほど集積度を高めることができ、より高い解像度を有する視覚センサ装置を実現することができる。

【0014】すなわち、LSI上においては、プロセッサの占有面積はセンサの占有面積に比較して相対的に大きくなっていて、プロセッサの占有面積がLSIの面積を規定している。したがって、集積度を高めるにはプロセッサの回路規模を削減することが効果的である。しかし、プロセッサの機能を保持したままプロセッサの回路規模を小型化するには限界があり、それ以上の小型化を図るためにはプロセッサの機能を削減しなければならなかった。

【0015】本発明は上述の問題点にかんがみ、高い汎用性および高い機能が得られるとともに、たくさんのセンサを配設することが可能な2次元センサ装置を限られた面積内に構成できるようにすることを目的とする。

【0016】

【課題を解決するための手段】本発明の2次元センサ装置は、上述した課題を解決するために、2次元的に配置された複数のセンサにより構成されるセンサアレイと、上記複数のセンサからそれぞれ出力されるデータを受け取り、これに所定のデータ処理を施すためのプロセッサが2次元的に配置されて構成されたプロセッサアレイとを具備する2次元センサ装置において、上記プロセッサアレイを構成する各々のプロセッサに上記複数のセンサを接続するとともに、上記複数のセンサが接続された各々のプロセッサに、他のプロセッサとの間でデータの授受を行う通信手段と、上記複数のセンサから与えられるデータや上記通信手段を介して与えられる他のプロセッサからのデータに所定の演算処理を施す演算手段とを設けている。

【0017】

【作用】本発明の2次元センサ装置は、プロセッサアレイを構成する各々のプロセッサに複数のセンサを接続し、複数のセンサからそれぞれ出力される複数の信号を上記1つのプロセッサで処理するようにしているので、センサの個数に対してプロセッサの個数を減少させることが可能となり、2次元センサ装置を形成する所定の領域内において、上記減少させたプロセッサを形成するのに必要な面積に相当する面積を自由に使用することができるようになる。

【0018】

【実施例】以下、本発明の2次元センサ装置の一実施例

について、図1および図2を参照しながら説明する。図1は、本実施例による視覚センサ装置の概略構成を示すブロック図である。

【0019】先ず、視覚センサ装置全体の構成を簡単に説明する。図1において、81はセンサ、85は通信手段、91はプロセッサを示しており、4個のセンサ81の出力信号が1個のプロセッサ91の入力端子に供給されるように接続されている。なお、この実施例では、4個のセンサ81の出力信号を1個のプロセッサ91の入力端子に供給するようにした例を示したが、1個のプロセッサ91に接続するセンサ81の数は4個以外の数でもよい。

【0020】センサアレイ80は、例えばセンサ81を128×128の格子状に並べたものからなる。また、プロセッサアレイ90は、例えば、プロセッサ91を32×32の格子状に並べたものからなっている。これらのプロセッサ91は、通信手段85を介して近傍のプロセッサ91と接続されており、図1には4近傍接続の例が示してある。本実施例では、これらの構成の全てが1つのLSI上に実現されている。

【0021】ここで、センサアレイ80のサイズは、128×128以外の64×64や256×256などでもよく、また、形状は正方格子以外でもよく、縦と横のサイズが異なってもよい。また、プロセッサ91間のインターコネクションは4近傍接続以外の任意の数でよい。

【0022】図2は、図1のプロセッサ91とそのプロセッサ91に4個のセンサ81を接続した例を示す構成図である。図2(a)に示すように、4個のセンサ81からの出力される画像データはマルチプレクサ20、A/D変換器30を介してプロセッサ回路91に入力される。

【0023】この構成において、センサ81からの出力された画像データはサンプルホールド後にマルチプレクサ20に与えられ、所定の条件に従って選択される。そして、マルチプレクサ20から出力された画像データは、A/D変換器30によりデジタルデータに変換された後、外部からの制御信号に従って、プロセッサ回路91に入力される。

【0024】プロセッサ回路91に入力された4個分の画像データは、ここに設けられているレジスタ(図3参照)に保管されるとともに所定の信号処理が施される。これらの信号処理は、図1に示したように、1024個のプロセッサ回路91で構成されるプロセッサアレイ90で並列に処理される。

【0025】4つのセンサ81がプロセッサ91内での空間的配置例を、図2(b)および図2(c)に示す。センサ81はプロセッサ91内の任意の位置に配置可能であるが、通常は複数のプロセッサ91をマトリックス状に配置したときに、センサ81が等間隔に配置される

ように、図2 (b) では $b=a+c$ 、 $e=d+f$ 、図2 (c) では $g=h$ 、 $i=j$ となるようにセンサ81をプロセッサ91内に配置するようにしている。

【0026】本実施例においては、プロセッサ91として、プログラムによって制御される汎用プロセッサを用いることにより、1つの視覚センサ装置でもって複数の機能を実現できるようにするとともに、高機能な視覚センサ装置を低価格に構成できるようにしている。

【0027】図3は、プロセッサ91の一例を示す要部のブロック図である。図3に示したように、このプロセッサ91は複数のレジスタ92、乗算器および演算ユニットなどから成る演算手段93等によって構成されており、複数のレジスタ92はリード信号線94およびライト信号線95との間に並列に接続されている。

【0028】近傍のプロセッサ91から入力される画像データは、通信手段85を介してリード信号線94に与えられる。また、このプロセッサ91に接続されている複数のセンサ81から出力される画像データは、バッファ回路96を介してリード信号線94に与えられる。

【0029】これらの画像データは、上述したように複数のレジスタ92に保管されるとともに、演算手段93によって所定の信号処理が施される。また、これらの画像データは通信手段85を介して近傍のプロセッサ91に出力される。このような画像データ処理動作および画像データの送信動作は、上述したようにプログラムに従って制御される。

【0030】次に、本実施例の視覚センサ装置の動作を説明する。センサアレイ80で検出した画像データなどの2次元データは、プロセッサアレイ90へ送られる。プロセッサアレイ90を構成するプロセッサ91は、外部から順次送られるプログラムまたは命令に従って、送られてきたデータを処理する。この場合、各プロセッサ91は通信手段85を介して近傍のプロセッサ91と通信を行いながらデータの処理を行う。

【0031】以上のような構成によって、視覚センサ装置を実現しているので、4個のセンサ81からの信号を処理するときに、従来例では4個のプロセッサ91が必要であったが、この実施例では1個のプロセッサ91でよい。

【0032】したがって、従来必要とされていたプロセッサ91の個数を、この実施例では $1/4$ に削減することができ、プロセッサ91の個数の減少に対応する領域を有効に利用することにより、視覚センサ装置の高解像度化、プロセッサ91の高機能化を達成できる。例えば、プロセッサ91に新たな処理機能回路を付加し、ある特定の演算処理を高速に実行するハードウェア回路をプロセッサ91内に取り込むことや、従来のように2値処理ではなくグレイスケール処理などの機能を付加することが可能となる。

【0033】例えば、2近傍または4近傍のセンサ81

への入力に対する論理演算によるエッジ検出、4近傍または8近傍の細線化処理、入力の時間微分による動物体のエッジ検出、一定時間毎の入力情報の論理和による動物体の軌跡の検出などが短時間で実行可能である。

【0034】次に、本実施例の視覚センサ装置により実現されるデータ処理の具体例を、図4のフローチャートを参照しながら説明する。なお、図4は、不規則かつ高速に運動する対象物を追従するような制御を行う場合についての視覚センサ装置の動作を示したものである。

【0035】図4において、ステップP1では、対象物の位置と視覚センサ装置の向きとにより決定される画像データを、センサアレイ80による撮像によって取り込む。そして、センサアレイ80は、この撮像により得た画像データを対象物画像データとしてプロセッサアレイ90に送出する。

【0036】次に、ステップP2において、プロセッサアレイ90は、その構成要素である例えば10,000個のプロセッサ91により、ステップP1においてセンサアレイ80により取り込まれた対象物画像データに超高速に並列処理を施すことによって、対象物画像データの中から着目している対象物のデータを高速に検出する。

【0037】そして、プロセッサアレイ90は、このようにして検出した対象物データの中から、追従しようとする特徴点、例えば、四角形の特定の頂点などの存在分布を表すデータを、並列処理された二次元データとして変換装置1に送出する。つまり、100個 \times 100個の正方格子状に並べられた10,000個のプロセッサ(40,000個のセンサ)のうち、特徴点を検出したプロセッサは“1”を送出し、特徴点を検出なかった他のプロセッサは“0”を送出する。したがって、この段階で、並列処理された二次元データは、10,000個のデータから成っている。

【0038】次に、ステップP3において、LSI上に設けられた変換装置(図示せず)は、プロセッサアレイ90から送られてくる対象物の特徴点の存在分布データをもとに、特徴点が存在する位置を表す位置情報を特徴データとして抽出する。この場合、四角形の頂点の位置を表す特徴データは、例えば、センサアレイ80の中央を基準としたX、Y座標におけるX方向およびY方向の位置を表す座標データになる。

【0039】このようにして、変換装置は、10,000個のデータから成る大量の二次元データを、座標データという非常にデータ量が少ない特徴データに変換する処理を行う。

【0040】なお、変換装置では、このステップP3で、複数の特徴点を抽出したのち、それらの特徴点の重心を求める処理を行うようにしてもよい。これによって求められる特徴データは、例えば、対象物の特徴点の重心が一つであれば、重心のX方向およびY方向の位置を

表す2個のデータとなる。

【0041】上述したステップP1～ステップP3の処理は、フィードバック制御が行われている間は繰り返す、ステップP4においてフィードバック制御の終了が確認されたときに処理が終了する。

【0042】本実施例の視覚センサ装置は、プロセッサ91を設置する領域を広く確保することができるようにしたので、プロセッサ91に種々の機能を付加することができる。したがって、上述したようにLSI上において種々の処理を行うことが可能となり、高度な処理を極めて高速に行うようにすることができる。

【0043】ところで、視覚センサの場合、センサ81を設置する間隔が広すぎると、光学的な歪みや偽信号が発生したりするため、用途によっては、センサ81の間隔をある値以下にする必要がある。そのため、本実施例の視覚センサ装置のように、1つのプロセッサ91に複数のセンサ81を接続してプロセッサ91の個数を削減することは、視覚センサ装置を視覚センサとして利用するときには特に有効である。

【0044】なお、1個のプロセッサ91に接続するセンサ81の出力の個数は多ければ多いほど単位面積当たりの画素数の大きい視覚センサ装置を構成できるが、1個のプロセッサ91に接続するセンサ81の個数を多くすると、各センサ81からの信号を取り込むための時間間隔が長くなるので、1個のプロセッサ91に接続するセンサ81の個数は用途、目的に応じて適切に選択する必要がある。

【0045】以上、本発明の一実施例につき説明したが、本発明は上述の実施例に限定されることなく、本発明の技術的思想に基づき各種の有効な変更が可能である。例えば、上述の実施例では視覚センサについて説明したが、本発明は圧力センサ、音響センサ、温度センサなどのその他のセンサに適用可能である。

【0046】

【発明の効果】以上説明したように、本発明は所定のデータ処理を施すプロセッサアレイを構成する各々のプロセッサに複数のセンサを接続し、1つのプロセッサで上記複数のセンサからそれぞれ出力される複数の信号をそれぞれ処理するとともに、各プロセッサ間で通信を行う

ようにしたので、センサの個数に対してプロセッサの個数を減少させることができ、上記減少させたプロセッサを形成するのに必要な面積に相当する面積を自由に使用できるようにすることができる。

【0047】したがって、例えば、LSI上のように2次元センサ装置を設置する箇所の大きさが規制されている場合に、プロセッサの機能を削減することなしに、より多くのセンサを配設したり、各プロセッサを実現する回路規模を大きくして機能の向上や高速化を図るようにしたりすることが可能となる。

【0048】これにより、例えば、2次元情報を一度に取り込んで並列的に高速処理するようにしたり、各プロセッサを実現する回路規模を大きくして、プロセッサの機能を向上させたり、高速化を図ったりすることが可能となる。

【0049】さらに、従来の2次元センサ装置と比べて少ないプロセッサで同一機能を実現できるので、駆動するトランジスタの数を減少させることができ、消費電力を低減することができる。このことは、1つのLSIの内部に数千から数万個のプロセッサを実現する場合には特に有効である。

【図面の簡単な説明】

【図1】本発明の一実施例による2次元センサ装置の概略構成図である。

【図2】本発明の一実施例による2次元センサ装置のプロセッサの部分を示す概略構成図である。

【図3】プロセッサの一例を示す要部のブロック図である。

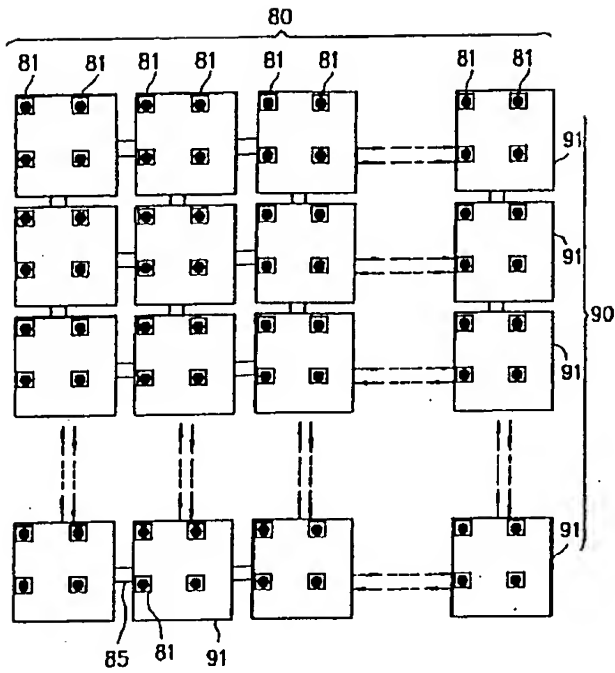
【図4】視覚センサ装置により実現されるデータ処理の具体例を示すフローチャートである。

【図5】従来の2次元センサ装置の概略構成図である。

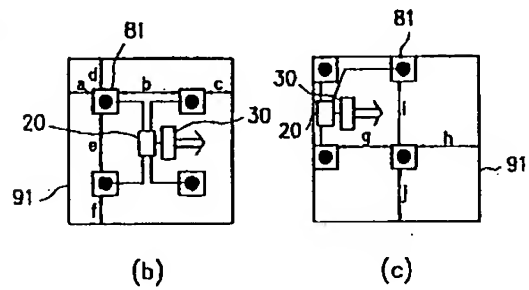
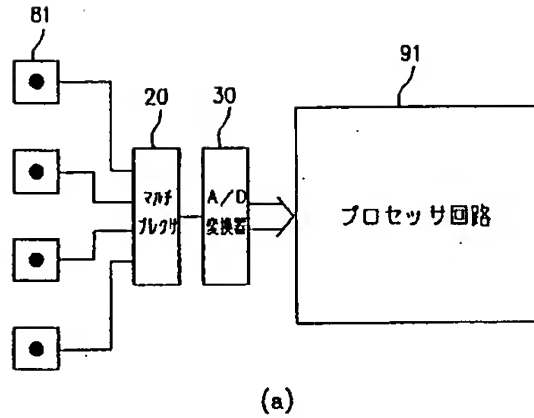
【符号の説明】

- 20 マルチプレクサ
- 30 A/D変換器
- 80 センサアレイ
- 81 センサ
- 85 通信手段
- 90 プロセッサアレイ
- 91 プロセッサ

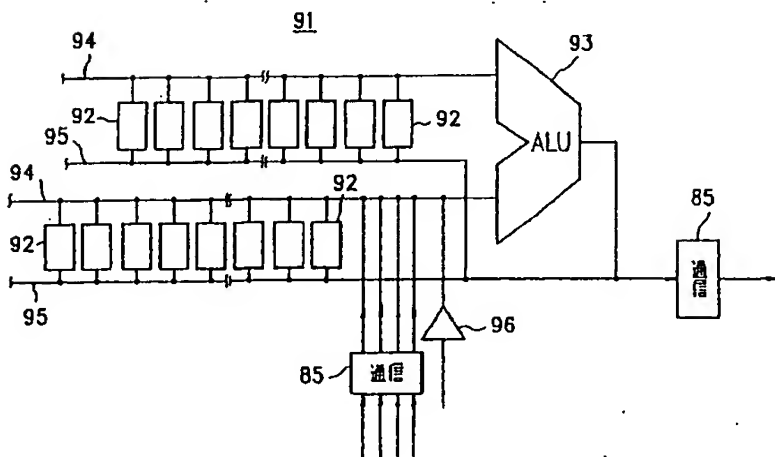
【図 1】



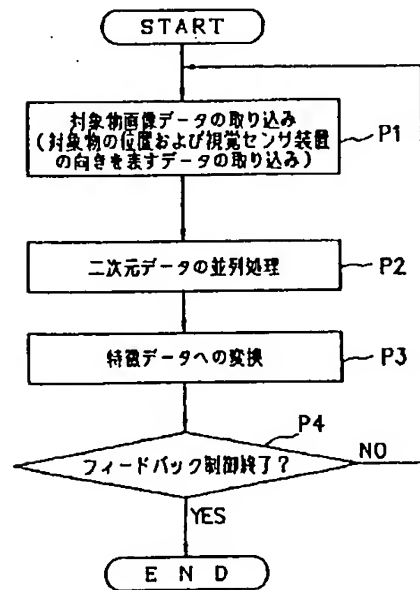
【図 2】



【図 3】



【図 4】



【図 5】

